

4 / Priority
Doc.
E. Willis
11-2-01

Docket No.: 57454-162

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Yukio MAKI

Serial No.:

Group Art Unit:

Filed: July 23, 2001

Examiner:

For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SAME



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2001-029779, filed February 6, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

A handwritten signature in black ink, appearing to read "Becker".

Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prp
Date: July 23, 2001
Facsimile: (202) 756-8087

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

57454-162

MAKI

July 23, 2001

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2001年 2月 6日

出願番号

Application Number:

特願2001-029779

出願人

Applicant(s):

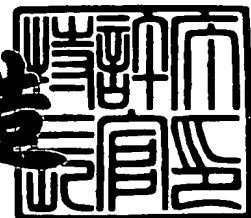
三菱電機株式会社



2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3013078

【書類名】 特許願

【整理番号】 528426JP01

【提出日】 平成13年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/06

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 牧 幸生

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 活性領域と分離領域とを有する半導体基板と、
前記活性領域上に絶縁膜を介して形成されたゲート電極と備え、
前記活性領域表面が、全体にわたってラウンド形状を有し、前記分離領域に近づくにつれて下方に傾斜する、半導体装置。

【請求項 2】 前記半導体装置は、S R A M (Static Random Access Memory) を含み、

前記 S R A M は、アクセス M O S (Metal Oxide Semiconductor) トランジスタと、ドライバ M O S トランジスタとを含み、

前記アクセス M O S トランジスタの前記活性領域表面が全体にわたってラウンド形状を有する、請求項 1 に記載の半導体装置。

【請求項 3】 前記分離領域に分離絶縁膜を形成し、
前記分離絶縁膜は、前記活性領域上に延在するバースピーク部を有し、
前記バースピーク部で前記活性領域を覆う、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記分離領域近傍に位置する前記バースピーク部の厚みは、
前記活性領域の中央部上に位置する前記バースピーク部の厚みよりも大きい、請求項 3 に記載の半導体装置。

【請求項 5】 前記アクセス M O S トランジスタのチャネルドープ深さを、
前記ドライバ M O S トランジスタのチャネルドープ深さよりも浅くする、請求項 2 に記載の半導体装置。

【請求項 6】 前記アクセス M O S トランジスタのゲート絶縁膜の厚みを、
前記ドライバ M O S トランジスタのゲート絶縁膜の厚みよりも大きくする、請求項 2 または請求項 5 に記載の半導体装置。

【請求項 7】 半導体基板の分離領域を露出し活性領域を覆うように前記半導体基板上にマスク膜を形成する工程と、

前記マスク膜を用いて前記半導体基板を選択的に酸化することにより、前記活

性領域を覆うバースピーク部を形成する工程と、

前記マスク膜を除去した後に前記バースピーク部上に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜および前記バースピーク部を通して前記活性領域に不純物を注入する工程と、

前記第 1 絶縁膜を除去した後に前記活性領域上に第 2 絶縁膜を介してゲート電極を形成する工程と、

を備えた、半導体装置の製造方法。

【請求項 8】 前記バースピーク部の形成工程は、前記活性領域上で前記バースピーク部を接続することにより前記活性領域表面が全体にわたってラウンド形状となるように前記バースピーク部を形成する工程を含む、請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 アクセス MOS (Metal Oxide Semiconductor) トランジスタと、ドライバ MOS トランジスタとを有する半導体装置の製造方法であって、半導体基板の分離領域を露出し、前記アクセス MOS トランジスタが形成される第 1 活性領域と、前記ドライバ MOS トランジスタが形成される第 2 活性領域とを覆うように前記半導体基板上に第 1 と第 2 マスク膜を形成する工程と、

前記第 1 と第 2 マスク膜を用いて前記半導体基板を選択的に酸化することにより、前記第 1 活性領域全体を覆いかつ前記第 2 活性領域の周縁部のみを覆うバースピーク部を形成する工程と、

前記第 1 と第 2 マスク膜を除去した後に前記第 1 と第 2 活性領域上に第 1 と第 2 絶縁膜をそれぞれ形成する工程と、

前記第 1 絶縁膜および前記バースピーク部を通して前記第 1 活性領域に不純物を注入するとともに、前記第 2 絶縁膜を通して前記第 2 活性領域に不純物を注入する工程と、

前記第 1 と第 2 絶縁膜を除去した後に前記第 1 と第 2 活性領域上に第 3 と第 4 絶縁膜を介して第 1 と第 2 ゲート電極を形成する工程と、

を備えた、半導体装置の製造方法。

【請求項 10】 前記バースピーク部の形成工程は、前記第 1 活性領域上で

前記バースビーク部を接続することにより前記第 1 活性領域表面が全体にわたってラウンド形状となるように前記バースビーク部を形成する工程を含む、請求項 9 に記載の半導体装置の製造方法。

【請求項 1 1】 前記第 1 と第 2 絶縁膜の除去工程は、前記第 1 活性領域上に前記バースビーク部を残しながら前記第 2 活性領域の表面を露出させる工程を含む、請求項 9 または請求項 1 0 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、より特定的には、活性領域表面が全体にわたってラウンド形状である MOS (Metal Oxide Semiconductor) トランジスタを有する半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

図 2 1 に、従来の MOS トランジスタの断面構造の一例を示す。この図に示すように、半導体基板 1 の主表面に選択的に分離酸化膜 5 を形成し、分離酸化膜 5 間に位置する活性領域 1 1 上に酸化膜 8 を介してゲート電極 9 を形成する。

【0 0 0 3】

次に、図 2 2 および図 2 3 を用いて、図 2 1 に示す MOS トランジスタの製造方法について説明する。図 2 2 および図 2 3 は、上記 MOS トランジスタの製造工程の特徴的な第 1 および第 2 工程を示す断面図である。

【0 0 0 4】

まず半導体基板 1 の主表面上にマスク膜（図示せず）を形成し、このマスク膜を用いて酸化処理を行なうことにより図 2 2 に示すように分離酸化膜 5 を形成する。次に、図 2 2 に示すように、イオン注入時のダメージ防止用の酸化膜 7 を形成し、MOS トランジスタ形成のためのイオン注入を行なう。

【0 0 0 5】

その後、図 2 3 に示すように、イオン注入時に用いた酸化膜 7 を HF 等によるウェットエッチングで除去する。このとき、分離酸化膜 5 もエッチングされ、リセ

ス部12が形成される。

【0006】

次に、図21に示すように、MOSトランジスタのゲート酸化膜となる酸化膜8とゲート電極9とを形成する。

【0007】

次に、図24～図26を用いて、他の従来例について説明する。図24は、従来のSRAM(Static Random Access Memory)のメモリセルにおけるアクセスMOSトランジスタ部とドライバMOSトランジスタ部の断面構造図である。

【0008】

一般にSRAMのメモリセルでは、セル動作を安定させるためアクセスMOSトランジスタとドライバMOSトランジスタの電流比を大きくする必要がある。アクセスMOSトランジスタの電流値は小さい程良く、ドライバMOSトランジスタ電流値は大きい程良い。

【0009】

したがって、ドライバMOSトランジスタの活性領域11の幅 W_d は、アクセスMOSトランジスタの活性領域11の幅 W_a よりも大きく、ドライバMOSトランジスタのゲート長 L_d は、アクセスMOSトランジスタのゲート長 L_a より短くなっている。

【0010】

また、SRAMのメモリセルトランジスタに要求される特性として次のようなものもある。アクセスMOSトランジスタではバックバイアス時のしきい値電圧 V_{th} が低い方が望ましく、またゲート長も長いことから、チャネルドープ注入は、バックバイアス効果が抑制される低エネルギーで行なうことが好ましい。

【0011】

他方、ドライバMOSトランジスタについては、ゲート長が短いことから、パンチスルーを抑制するため、チャネルドープ注入は高エネルギーで行なうことが好ましい。

【0012】

次に、図24に示すSRAMのメモリセルの製造方法について説明する。図2

5 および図 2 6 は、図 2 4 に示す S R A M のメモリセルの製造工程の特徴的な第 1 および第 2 工程を示す断面図である。

【 0 0 1 3 】

上述の M O S トランジスタの場合と同様に、半導体基板 1 上にマスク膜を形成し、このマスク膜を用いて酸化処理を行なう。それにより、図 2 5 に示すように分離酸化膜 5 を形成する。

【 0 0 1 4 】

次に、図 2 5 に示すようにイオン注入時のダメージ防止のための酸化膜 7 を形成した後、アクセス M O S トランジスタおよびドライバ M O S トランジスタ形成のためのイオン注入を行なう。

【 0 0 1 5 】

このとき、酸化膜 7 の厚みは、アクセス M O S トランジスタ形成部とドライバ M O S トランジスタ形成部とで同一である。

【 0 0 1 6 】

次に、図 2 6 に示すように酸化膜 7 を H F 等を用いたウェットエッチングで除去し、その後図 2 4 に示すようにアクセス M O S トランジスタおよびドライバ M O S トランジスタのゲート酸化膜となる酸化膜 8 およびゲート電極 9 を形成する。

【 0 0 1 7 】

【発明が解決しようとする課題】

上述のように図 2 1 に示す M O S トランジスタでは、分離酸化膜 5 のエッジにリセス部 1 2 が発生する。このリセス部 1 2 のため、M O S トランジスタでリーク電流が発生するという問題があった。この問題は、図 2 4 に示す例でも同様に生じ得る。

【 0 0 1 8 】

また、上述のように図 2 4 に示すアクセス M O S トランジスタおよびドライバ M O S トランジスタのチャネル注入を行なう時の酸化膜 7 の厚みは同一であるので、アクセス M O S トランジスタ形成領域とドライバ M O S トランジスタ形成領域の一方を覆うマスク膜を形成する等の処理をしなければアクセス M O S トラン

ジスタとドライバMOSトランジスタのチャネルドープ領域の深さを変えることはできなかった。

【0019】

さらに、別途絶縁膜を形成する工程を追加せずに、アクセスMOSトランジスタとドライバMOSトランジスタのゲート絶縁膜の厚みを変えることもできなかった。

【0020】

つまり、新たな工程を追加することなくSRAMにおけるメモリセルの性能を向上し、また動作を安定化することは困難であった。

【0021】

本発明は上記の課題を解決するためになされたものである。本発明の1つの目的は、MOSトランジスタを有する半導体装置のリーク電流を低減することにある。本発明の他の目的は、新たな工程を追加することなくSRAMにおけるメモリセルの性能を向上し、また動作を安定化することにある。

【0022】

【課題を解決するための手段】

本発明に係る半導体装置は、活性領域と分離領域とを有する半導体基板と、活性領域上に絶縁膜を介して形成されたゲート電極とを備え、活性領域表面が、全体にわたってラウンド形状を有し、分離領域に近づくにつれて下方に傾斜する。

【0023】

活性領域表面が上記のような形状を有することにより、分離領域近傍における上記絶縁膜の厚みを厚くすることができる。それにより、分離領域のエッジで従来例のようなリセス部が生じることを抑制することができる。

【0024】

上記半導体装置は、SRAMを含み、該SRAMは、アクセスMOSトランジスタとドライバMOSトランジスタとを含む。この場合、アクセスMOSトランジスタの活性領域表面を全体にわたってラウンド形状とする。

【0025】

それにより、アクセスMOSトランジスタにおけるリーク電流を抑制すること

ができる。

【0026】

上記分離領域に分離絶縁膜を形成し、該分離絶縁膜は、活性領域上に延在するバースピーク部を有する。この場合、該バースピーク部で活性領域を覆う。

【0027】

それにより、分離領域のエッジにおける絶縁膜の厚みを結果として大きくすることができ、分離領域のエッジに従来例のようなりセス部が生じることを抑制することができる。

【0028】

分離領域近傍に位置する上記バースピーク部の厚みは、活性領域の中央部上に位置するバースピーク部の厚みよりも大きい。

【0029】

それにより、上記のりセス部が分離領域のエッジに生じることを効果的に抑制することができる。

【0030】

上記SRAMにおいては、アクセスMOSトランジスタのチャネルドープ深さを、ドライバMOSトランジスタのチャネルドープ深さよりも浅くすることが好ましい。

【0031】

それにより、アクセスMOSトランジスタのバックバイアス効果を抑制しながらドライバMOSトランジスタにおけるパンチスルーを抑制することができ、メモリセルの性能を向上することができる。

【0032】

アクセスMOSトランジスタのゲート絶縁膜の厚みを、ドライバMOSトランジスタのゲート絶縁膜の厚みよりも大きくすることが好ましい。

【0033】

それにより、アクセスMOSトランジスタの電流量を減少させることができ、メモリセルの動作の安定化を図ることができる。

【0034】

本発明に係る半導体装置の製造方法は、1つの局面では、下記の各工程を備える。半導体基板の分離領域を露出し活性領域を覆うように半導体基板上にマスク膜を形成する。該マスク膜を用いて半導体基板を選択的に酸化することにより、活性領域を覆うバースピーク部を形成する。上記マスク膜を除去した後にバースピーク部上に第1絶縁膜を形成する。第1絶縁膜およびバースピーク部を通して活性領域に不純物を注入する。第1絶縁膜を除去した後に活性領域上に第2絶縁膜を介してゲート電極を形成する。

【0035】

上記のようにバースピーク部上に第1絶縁膜を形成することにより、第1絶縁膜の除去時に分離領域エッジに厚い絶縁膜が存在することとなり、第1絶縁膜の除去後に分離領域エッジにリセス部が発生するのを抑制することができる。

【0036】

バースピーク部の形成工程は、活性領域上でバースピーク部を接続することにより活性領域表面が全体にわたってラウンド形状となるようにバースピーク部を形成する工程を含む。それにより、第1絶縁膜の除去時に分離領域エッジに厚い絶縁膜を確保することができ、リセス部の発生を効果的に抑制することができる。

【0037】

本発明に係る半導体装置の製造方法は、他の局面では、アクセスMOSトランジスタとドライバMOSトランジスタとを有する半導体装置の製造方法であって、下記の各工程を備える。半導体基板の分離領域を露出し、アクセスMOSトランジスタが形成される第1活性領域と、ドライバMOSトランジスタが形成される第2活性領域とを覆うように半導体基板上に第1と第2マスク膜を形成する。第1と第2マスク膜を用いて半導体基板を選択的に酸化することにより、第1活性領域全体を覆いかつ第2活性領域の周縁部のみを覆うバースピーク部を形成する。第1と第2マスク膜を除去した後に第1と第2活性領域上に第1と第2絶縁膜をそれぞれ形成する。第1絶縁膜およびバースピーク部を通して第1活性領域に不純物を注入するとともに、第2絶縁膜を通して第2活性領域に不純物を注入する。第1と第2絶縁膜を除去した後に第1および第2活性領域上に第3と第4

絶縁膜を介して第1と第2ゲート電極をそれぞれ形成する。

【0038】

上記のようにバースピーク部で第1活性領域全体を覆うことにより、第1と第2活性領域上に第1と第2絶縁膜を形成した際に、第1活性領域上に形成される絶縁膜の厚みを第2活性領域上に形成される絶縁膜の厚みよりも大きくすることができる。かかる下敷き絶縁膜を通してチャネルドーブ注入を行なうので、チャネルドーブ注入時の下敷き絶縁膜の厚みを第2活性領域上よりも第1活性領域上で大きくすることができ、第1活性領域におけるチャネルドーブ深さを第2活性領域のそれよりも浅くすることができる。つまり、アクセスMOSトランジスタのチャネルドーブ深さを、ドライバMOSトランジスタのチャネルドーブ深さよりも浅くすることができる。このとき、第1活性領域上でバースピーク部を繋ぐようにするだけで良いので、新たな工程を追加する必要はない。

【0039】

バースピーク部の形成工程は、好ましくは、第1活性領域上でバースピーク部を接続することにより第1活性領域表面が全体にわたってラウンド形状となるようにバースピーク部を形成する工程を含む。

【0040】

それにより、アクセスMOSトランジスタの周囲の分離領域エッジにリセス部が生じるのを抑制することができる。

【0041】

第1と第2絶縁膜の除去工程は、第1活性領域上にバースピーク部を残しながら第2活性領域の表面を露出させる工程を含む。

【0042】

それにより、アクセスMOSトランジスタのゲート絶縁膜の厚みを、ドライバMOSトランジスタのゲート絶縁膜の厚みよりも実質的に大きくすることができる。アクセスMOSトランジスタの電流値を減少させることができる。その結果、メモリセルの動作を安定化することができる。

【0043】

【発明の実施の形態】

以下、図 1～図 20 を用いて、本発明の実施の形態について説明する。

【0044】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 における半導体装置の MOS トランジスタ部の断面図である。図 1 に示すように、本実施の形態における MOS トランジスタは、半導体基板 1 の主表面に選択的に設けられた分離領域で囲まれる活性領域上に形成される。

【0045】

分離領域には、分離酸化膜 5 等の分離絶縁膜が形成される。分離酸化膜 5 は、たとえば後述する LOCOS (Local Oxidation of Silicon) 法等で形成され、活性領域上に延びるバースピーク部を有する。図 1 に示す例では、バースピーク部は活性領域を覆っていないが、バースピーク部で活性領域を覆うようにしてもよい。

【0046】

図 1 に示すように、分離酸化膜 5 のエッジには従来例のようなりセス部が存在せず、分離酸化膜 5 のエッジ近傍における酸化膜（絶縁膜）の厚みは大きくなっている。それにより、MOS トランジスタにおけるリーク電流を抑制することができる。

【0047】

また、分離酸化膜 5 間に位置する活性領域の表面は、全体にわたって上方に凸なラウンド形状を有し、分離領域に近づくにつれて下方に傾斜する。該活性領域の表面は、好ましくは、その中央部から周縁部に向かって所定の曲率を有する曲面で構成され、上記中央部から周縁部に向かうにつれて徐々に下方に傾斜する。活性領域の表面が上記の構造を有することも、分離領域エッジにおける酸化膜の厚みを大きくすることに寄与し得る。

【0048】

活性領域表面にチャネルドープ領域 13 を形成し、該活性領域上に酸化膜 8 を介してゲート電極 9 を形成し、ゲート電極 9 の両側にソース／ドレインとなる 1 組の不純物領域（図示せず）を形成する。

【0049】

次に、図2～図7を用いて本実施の形態における半導体装置の製造方法について説明する。図2～図7は、本実施の形態における半導体装置の製造工程の第1工程～第6工程を示す断面図である。

【0050】

図2に示すように、半導体基板1の主表面上に、CVD (Chemical vapor deposition) 法等を用いて、シリコン酸化膜、シリコン窒化酸化膜、ポリシリコン膜等からなるバッファ膜2を形成し、バッファ膜2上にCVD法等により窒化膜3を形成する。この窒化膜3上にレジストパターン4を形成する。

【0051】

次に、レジストパターン4を用いて窒化膜3とバッファ膜2とをエッチングする。それにより、図3に示すように、活性領域上に窒化膜3とバッファ膜2の積層膜（マスク膜）を残すことができる。このとき、半導体基板1の主表面はオーバーエッチングされ、若干の凹部が形成される。その後、レジストパターン4を除去する。

【0052】

次に、窒化膜3とバッファ膜2をマスクとして半導体基板1を選択的に熱酸化する。それにより、図4に示すように分離酸化膜5を形成する。

【0053】

このとき、バッファ膜2の材質、膜厚および窒化膜3の膜厚を調節することにより分離酸化膜5のバースピーク部6の長さを調節することができ、活性領域上でバースピーク部6を接続することができる。それにより、図4に示すように活性領域をバースピーク部6で覆うことができる。

【0054】

たとえば、フィールド酸化を H_2 、 O_2 ガス中で $1050^{\circ}C$ の条件で 400 nm 以下程度行なう場合、バースピーク部6の長さを $0.25\text{ }\mu\text{ m}$ とすることができる。したがって、活性領域幅が $0.5\text{ }\mu\text{ m}$ 以下（活性領域幅がバースピーク部6の長さの2倍以下）であれば、バースピーク部6を活性領域上で繋ぐことができる。

【0055】

なお、上記のフィールド酸化におけるバッファ膜2の材質はシリコン窒化酸化膜（SION）であり、その膜厚は10nm程度であり、窒化膜3の膜厚は63nm程度である。

【0056】

図4に示すように分離領域近傍に位置する上記バースピーク部6の厚みは、活性領域の中央部に位置するバースピーク部6の厚みよりも大きく、活性領域表面が全体にわたってラウンド形状となっている。それにより、分離領域のエッジにおける酸化膜（絶縁膜）の厚みを大きくすることができる。

【0057】

図5に示すように窒化膜3とバッファ膜2をエッチング等により除去した後、図6に示すようにバースピーク部6上にイオン注入時のダメージ防止のための酸化膜7を形成する。その後、酸化膜7およびバースピーク部6を通して所定の不純物を活性領域に注入し、MOSトランジスタ形成のためのチャネルドープを行なう。それにより、チャネルドープ領域13を形成する。

【0058】

次に、図7に示すようにHF等を用いたウェットエッチングにより酸化膜7を除去する。このとき、上記のように分離領域エッジにおける酸化膜の厚みが大きくなっているので、分離領域エッジに従来例のようなりセス部が生じるのを抑制することができる。

【0059】

その後、MOSトランジスタのゲート酸化膜となる酸化膜8およびゲート電極9をCVD法等により形成し、図1に示す構造が得られる。

【0060】

次に、本実施の形態1の変形例について図8～図10を用いて説明する。図8は、本変形例におけるMOSトランジスタ部の断面図である。

【0061】

上記の実施の形態1ではLOCOSタイプの分離に本発明を適用した場合について説明したが、本発明の思想は、トレンチタイプの分離に対しても適用可能で

ある。

【0062】

図8に示すように、本変形例では、半導体基板1の主表面にトレンチ10を形成し、トレンチ10内部に分離酸化膜5を形成している。それ以外の構成については実施の形態1の場合とほぼ同様であるので、重複説明は省略する。なお、図8に示す本変形例においてもバースピーク部6は活性領域上で不連続となっているが、バースピーク部6を活性領域上で接続しても良い。

【0063】

次に図9と図10を用いて、本変形例の製造方法について説明する。図9と図10は、本変形例の製造工程における特徴的な第1および第2工程を示す断面図である。

【0064】

まず、実施の形態1と同様の手法で半導体基板1の主表面上にバッファ膜2、窒化膜3およびレジストパターン4を形成し、レジストパターン4をマスクとしてバッファ膜2および窒化膜3をパターニングし、その後さらに半導体基板1をエッチングして図9に示すようにトレンチ10を形成する。

【0065】

次に、レジストパターン4を除去し、バッファ膜2および窒化膜3をマスクとして選択酸化を行ない、バースピーク部6を活性領域上で繋ぐ。その後、酸化膜を堆積し、CMP (Chemical Mechanical Polishing) 法等を用いて酸化膜を研磨する。それにより、図10に示すようにトレンチ10内に酸化膜を埋め込むことができる。

【0066】

それ以降は実施の形態1と同様の工程を経て図8に示す構造が得られる。

(実施の形態2)

次に、本発明の実施の形態2について図11～図20を用いて説明する。図11は、本実施の形態2の半導体装置におけるアクセスMOSトランジスタ部とドライバMOSトランジスタ部を示す断面図である。

【0067】

本実施の形態2では、本発明をSRAMに適用している。該SRAMは、図1に示すようにアクセスMOSトランジスタとドライバMOSトランジスタとを含む。そして、アクセスMOSトランジスタ形成部の活性領域（以下「第1活性領域」と称する）表面を、実施の形態1の場合と同様に、全体にわたって上方に凸なラウンド形状とする。

【0068】

それにより、分離領域エッジにおける酸化膜の厚みを大きくすることができ、実施の形態1の場合と同様に分離領域エッジにおけるリセス部の発生を抑制することができる。それにより、アクセスMOSトランジスタにおけるリーク電流を抑制することができる。

【0069】

また、アクセスMOSトランジスタのチャネルドープ領域13aの深さD1を、ドライバMOSトランジスタのチャネルドープ領域13bの深さD2よりも浅くする。

【0070】

それにより、アクセスMOSトランジスタのバックバイアス効果を抑制しながらドライバMOSトランジスタにおけるパンチスルーを抑制することができ、メモリセルの性能を向上することができる。

【0071】

また、アクセスMOSトランジスタのゲート絶縁膜（酸化膜8とバースピーク部6の積層膜）の厚み t_1 を、ドライバMOSトランジスタのゲート絶縁膜（酸化膜8）の厚み t_2 よりも大きくする。それにより、アクセスMOSトランジスタの電流量を減少させることができ、メモリセルの動作の安定化を図ることができる。

【0072】

また、第1活性領域の幅W1を、ドライバMOSトランジスタ形成部の活性領域（以下「第2活性領域」と称する）の幅W2よりも小さくする。

【0073】

それにより、アクセスMOSトランジスタとドライバMOSトランジスタの電

流比を大きくしてメモリセル動作を安定化するとともに、第1活性領域上ではバースピーク部6を接続しながら第2活性領域上でバースピーク部6を分離することができる。

【0074】

次に、本実施の形態2における半導体装置の製造方法について図12～図17を用いて、説明する。図12～図17は、本実施の形態2における半導体装置の製造工程の第1工程～第6工程を示す断面図である。

【0075】

図12に示すように、半導体基板1の主表面上に、CVD法等を用いて、シリコン酸化膜、シリコン窒化酸化膜、ポリシリコン膜等からなるバッファ膜2を形成し、バッファ膜2上にCVD法等により窒化膜3を形成する。第1および第2活性領域上に位置する窒化膜3上にレジストパターン4を形成する。

【0076】

次に、レジストパターン4を用いて窒化膜3とバッファ膜2をエッチングする。それにより、図13に示すように、第1および第2活性領域上に窒化膜3とバッファ膜2の積層膜（第1および第2マスク膜）を残すことができる。このとき、半導体基板1の主表面はオーバーエッチングされ、若干の凹部が形成される。その後、レジストパターン4を除去する。

【0077】

次に、窒化膜3とバッファ膜2をマスクとして半導体基板1を選択的に熱酸化する。それにより、図14に示すように第1および第2活性領域の周囲に分離酸化膜5を形成する。

【0078】

ここで、上述のように第1活性領域幅 W_1 を第2活性領域幅 W_2 よりも小さくすることにより、第1活性領域上でバースピーク部6を繋ぎ、第2活性領域上でバースピーク部6を分離することができる。つまり、第1活性領域全体をバースピーク部6で覆いながら、第2活性領域の周縁部のみをバースピーク部で覆うことができる。

【0079】

たとえば、実施の形態 1 の場合と同様の条件でフィールド酸化を 400 nm 以下程度行なう場合、第 1 活性領域幅 $W1$ を $0.5\text{ }\mu\text{ m}$ 以下とし、第 2 活性領域幅 $W2$ を $0.7\text{ }\mu\text{ m}$ 以上程度とする。それにより、バースピーク部 6 を第 1 活性領域上で繋ぎながら、第 2 活性領域上で分離することができる。

【0080】

上記のように第 1 活性領域全体をバースピーク部 6 で覆うことにより、図 1 4 に示すように第 1 活性領域の表面が全体にわたってラウンド形状となる。

【0081】

次に、図 1 5 に示すように窒化膜 3 とバッファ膜 2 をエッチング等により除去する。このとき、第 1 活性領域はバースピーク部 6 で覆われているが、第 2 活性領域は露出する。

【0082】

次に、図 1 6 に示すように、バースピーク部 6 上と第 2 活性領域上とに、イオン注入時のダメージ防止のための酸化膜 7 を形成する。その後、所定の不純物を各活性領域に注入し、アクセス MOS トランジスタおよびドライバ MOS トランジスタ形成のためのチャネルドープを行なう。

【0083】

このとき、第 1 活性領域には、酸化膜 7 およびバースピーク部 6 を通して不純物を注入し、第 2 活性領域には、酸化膜 7 を通して不純物を注入する。酸化膜 7 およびバースピーク部 6 の合計の厚み $t3$ は、たとえば 30 nm 程度であり、第 2 活性領域上の酸化膜 7 の厚み $t4$ (たとえば 15 nm 程度) よりも大きいので、第 1 活性領域の浅い位置にチャネルドープを行ないながら、第 2 活性領域の深い位置にチャネルドープを行なうことができる。

【0084】

それにより、アクセス MOS トランジスタのチャネルドープ領域 1 3 a の深さ $D1$ (たとえば 130 nm 程度) を、ドライバ MOS トランジスタのチャネルドープ領域 1 3 b の深さ $D2$ (たとえば 145 nm 程度) よりも浅くすることができる。

【0085】

また、第1活性領域上にバースピーク部6を残すだけでよいので、新たな工程は不要である。

【0086】

次に、図17に示すようにHF等を用いたウェットエッチングにより酸化膜7を除去する。このとき、アクセスMOSトランジスタ形成部では酸化膜7下に厚いバースピーク部6が存在するので、上記ウェットエッチング後に第1活性領域上にバースピーク部6を残しながら第2活性領域上の酸化膜7を除去することができる。

【0087】

また、アクセスMOSトランジスタの分離領域エッジにおける分離酸化膜5の厚みが大きくなっているため、アクセスMOSトランジスタの分離領域エッジにリセス部が生じるのを抑制することができる。

【0088】

その後、各MOSトランジスタのゲート酸化膜となる酸化膜8およびゲート電極9をCVD法等により形成し、図11に示す構造が得られる。このとき、第1活性領域上では酸化膜8の形成前にバースピーク部6が存在するので、アクセスMOSトランジスタのゲート酸化膜厚を、ドライバMOSトランジスタのゲート酸化膜厚よりも厚くすることができる。

【0089】

なお、本実施の形態の思想も、トレンチ分離に適用可能である。図18に、トレンチ分離に適用した変形例の構造を示す。

【0090】

図18に示すように、本変形例では、トレンチ10内に分離酸化膜5を形成している。それ以外の構成については図11に示す場合とほぼ同様であるため、重複説明は省略する。本変形例の場合も上記の実施の形態2の場合と同様の効果が得られる。

【0091】

次に、図19と図20を用いて、本変形例の製造方法について説明する。

図19に示すように、実施の形態2と同様の工程を経て、半導体基板1の主表

面上にバッファ膜 2、窒化膜 3 およびレジストパターン 4 を形成する。このレジストパターン 4 を用いて窒化膜 3 とバッファ膜 2 をパターニングし、さらに半導体基板 1 の主表面をエッチングする。それにより、図 1 9 に示すように、分離領域にトレンチ 1 0 を形成する。

【0092】

次に、レジストパターン 4 を除去し、バッファ膜 2 および窒化膜 3 をマスクとして選択酸化を行ない、バースピーク部 6 をアクセス MOS トランジスタ形成部の活性領域上で繋ぐ。その後、酸化膜を堆積し、CMP 法等を用いて酸化膜を研磨する。それにより、図 2 0 に示すようにトレンチ 1 0 内に酸化膜を埋め込む。それ以降は実施の形態 2 と同様の工程を経て図 1 8 に示す構造が得られる。

【0093】

以上のように本発明の実施の形態について説明を行なったが、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0094】

【発明の効果】

本発明に係る半導体装置によれば、分離領域のエッジで従来例のようなリセス部が生じることを抑制することができるので、リーク電流を抑制することができる。それにより、半導体装置の信頼性を向上することができる。

【0095】

本発明の 1 つの局面における導体装置の製造方法によれば、活性領域上でバースピーク部を接続するだけで分離領域のエッジにリセス部が生じることを抑制することができるので、新たな工程を追加することなく半導体装置の信頼性を向上することができる。

【0096】

本発明の他の局面における半導体装置の製造方法によれば、アクセス MOS トランジスタの活性領域である第 1 活性領域を覆うようにバースピーク部を形成するだけで、アクセス MOS トランジスタのチャネルドープ深さをドライバ MOS

トランジスタのそれよりも浅くすることができる。それにより、新たな工程を追加することなく、SRAMのメモリセルの性能を向上することができる。

【0097】

また、第1活性領域を覆う上記のバースビーク部を残した場合には、新たな工程を追加することなく、アクセスMOSトランジスタのゲート絶縁膜の厚みを、ドライバMOSトランジスタのゲート絶縁膜の厚みよりも大きくすることができる。したがって、新たな工程を追加することなく、SRAMのメモリセルの動作を安定化することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の断面図である。

【図2】 図1に示す半導体装置の製造工程の第1工程を示す断面図である。

【図3】 図1に示す半導体装置の製造工程の第2工程を示す断面図である。

【図4】 図1に示す半導体装置の製造工程の第3工程を示す断面図である。

【図5】 図1に示す半導体装置の製造工程の第4工程を示す断面図である。

【図6】 図1に示す半導体装置の製造工程の第5工程を示す断面図である。

【図7】 図1に示す半導体装置の製造工程の第6工程を示す断面図である。

【図8】 図1の半導体装置の変形例の断面図である。

【図9】 図8に示す半導体装置の製造工程の特徴的な第1工程を示す断面図である。

【図10】 図8に示す半導体装置の製造工程の特徴的な第2工程を示す断面図である。

【図11】 本発明の実施の形態2における半導体装置の断面図である。

【図12】 図11に示す半導体装置の製造工程の第1工程を示す断面図である。

ある。

【図 1 3】 図 1 1 に示す半導体装置の製造工程の第 2 工程を示す断面図である。

【図 1 4】 図 1 1 に示す半導体装置の製造工程の第 3 工程を示す断面図である。

【図 1 5】 図 1 1 に示す半導体装置の製造工程の第 4 工程を示す断面図である。

【図 1 6】 図 1 1 に示す半導体装置の製造工程の第 5 工程を示す断面図である。

【図 1 7】 図 1 1 に示す半導体装置の製造工程の第 6 工程を示す断面図である。

【図 1 8】 図 1 1 に示す半導体装置の変形例の断面図である。

【図 1 9】 図 1 8 に示す半導体装置の製造工程の特徴的な第 1 工程を示す断面図である。

【図 2 0】 図 1 8 に示す半導体装置の製造工程の特徴的な第 2 工程を示す断面図である。

【図 2 1】 従来の半導体装置の断面図である。

【図 2 2】 図 2 1 に示す半導体装置の製造工程の特徴的な第 1 工程を示す断面図である。

【図 2 3】 図 2 1 に示す半導体装置の製造工程の特徴的な第 2 工程を示す断面図である。

【図 2 4】 従来の半導体装置の他の例の断面図である。

【図 2 5】 図 2 4 に示す半導体装置の製造工程の特徴的な第 1 工程を示す断面図である。

【図 2 6】 図 2 4 に示す半導体装置の製造工程の特徴的な第 2 工程を示す断面図である。

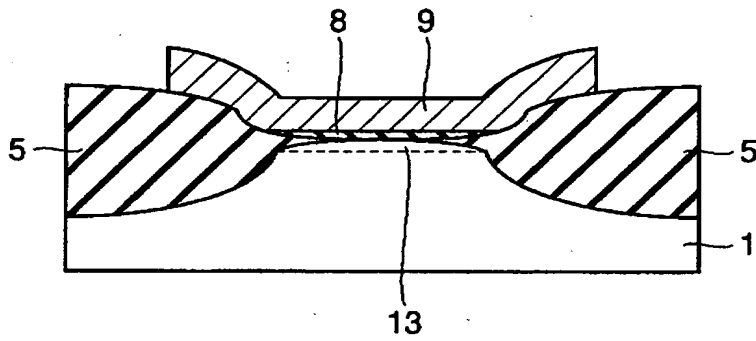
【符号の説明】

1 半導体基板、2 バッファ膜、3 窒化膜、4 レジストパターン、5 分離酸化膜、6 バーズピーク部、7, 8 酸化膜、9 ゲート電極、10 ト

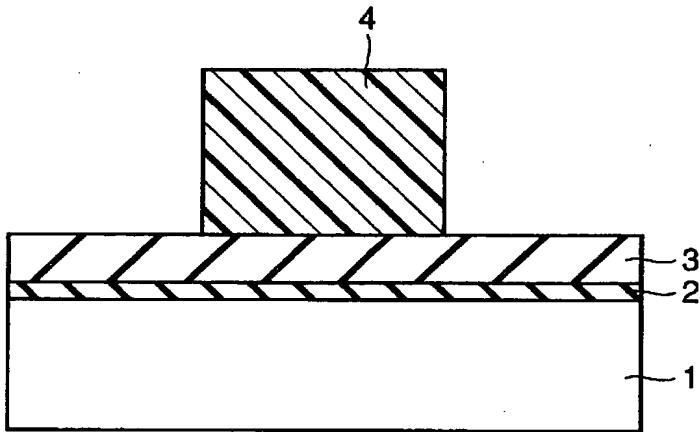
レンチ、11 活性領域、12 リセス部、13, 13a, 13b チャンネルド
ープ領域。

【書類名】 図面

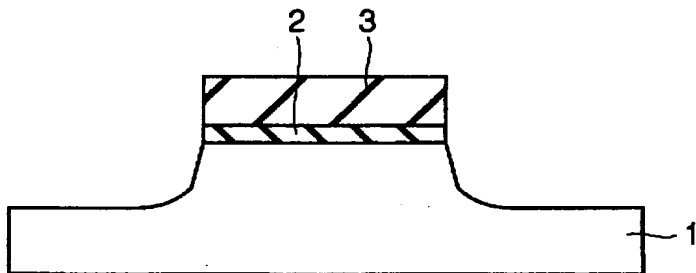
【図 1】



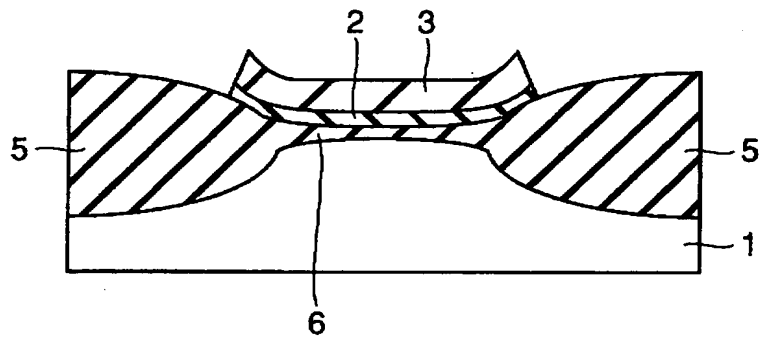
【図 2】



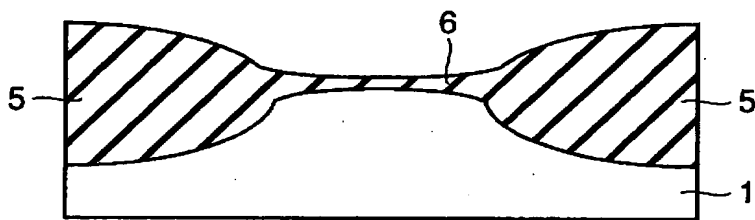
【図 3】



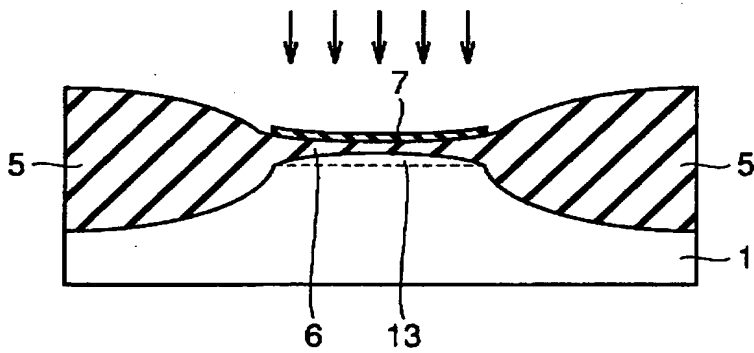
【図 4】



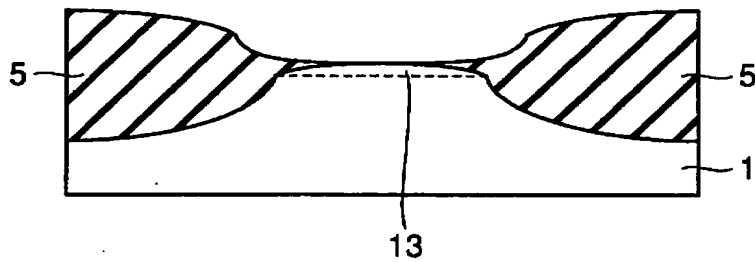
【図 5】



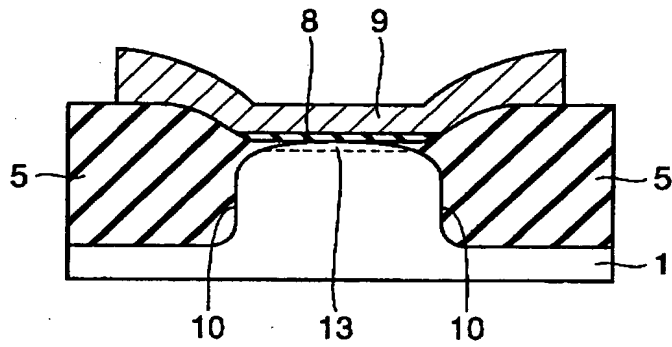
【図 6】



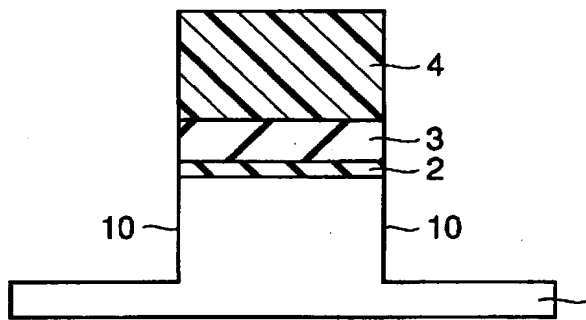
【図 7】



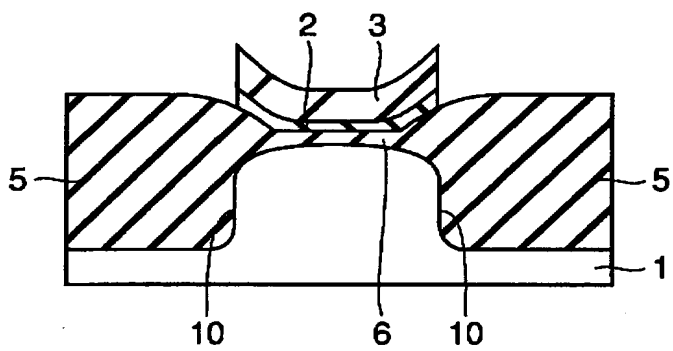
【図 8】



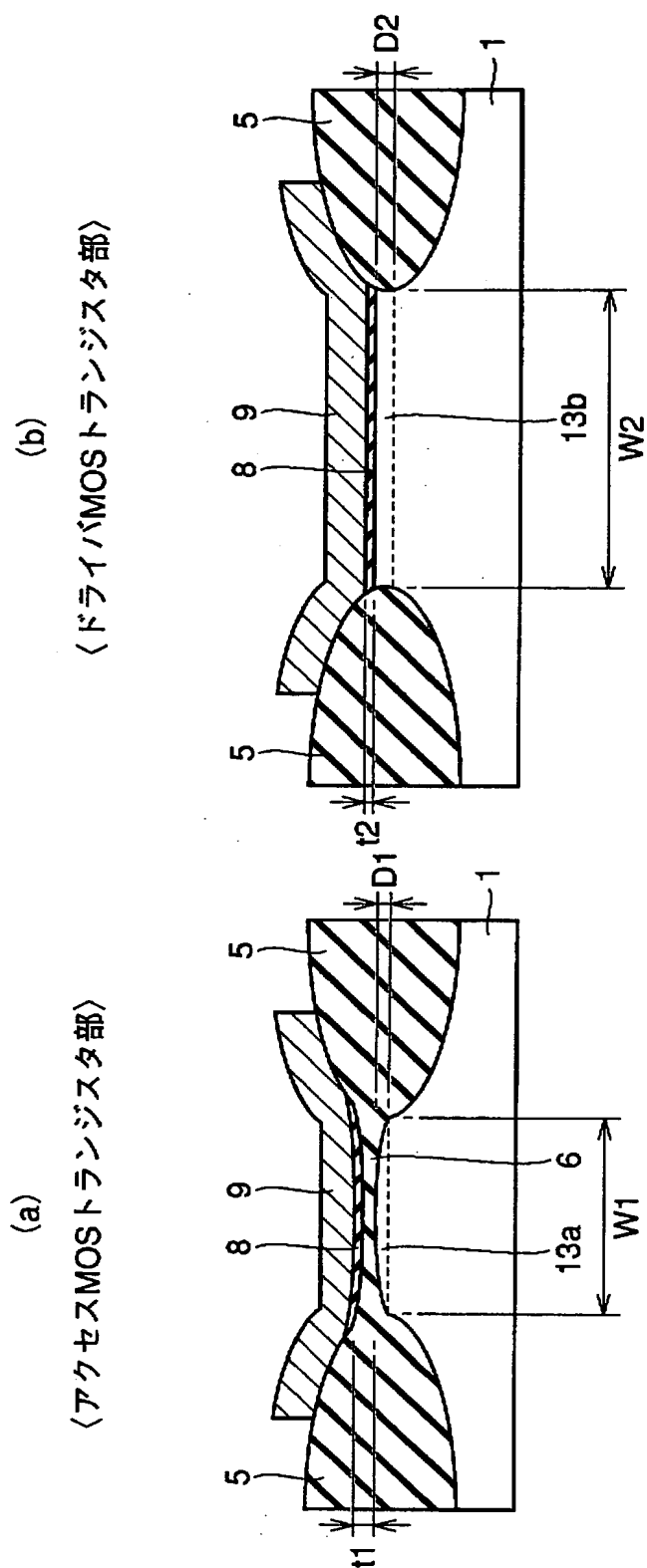
【図 9】



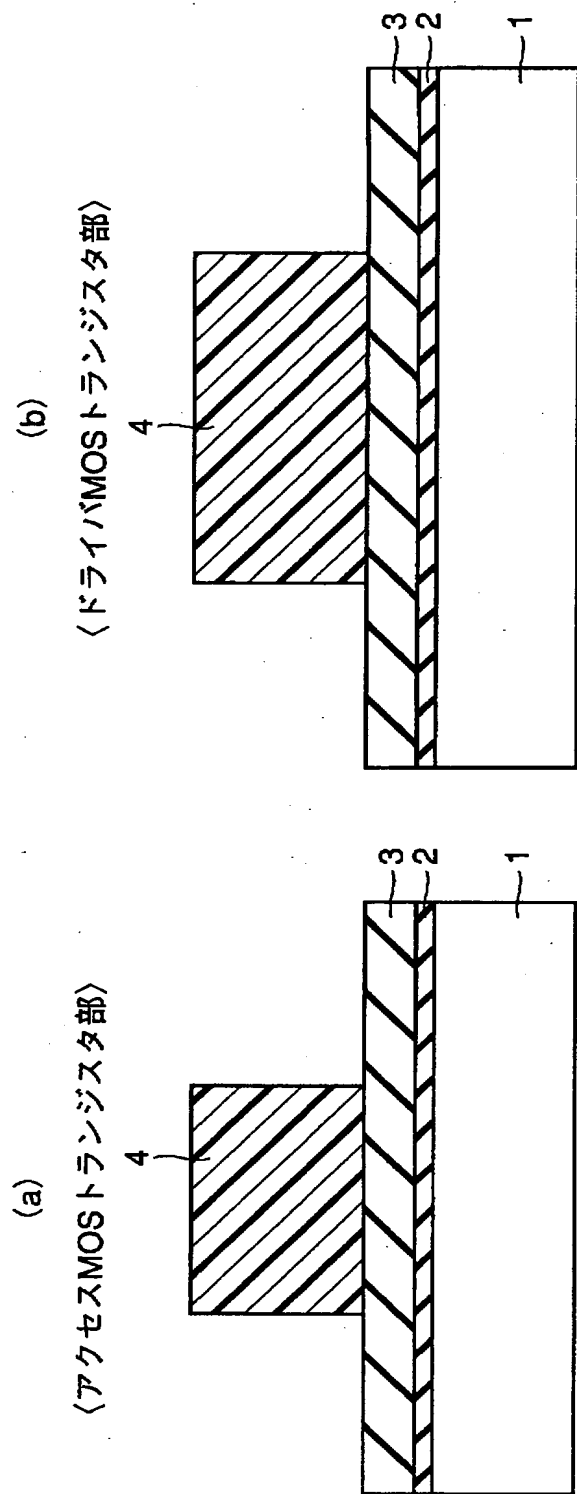
【図 10】



【図 1 1】



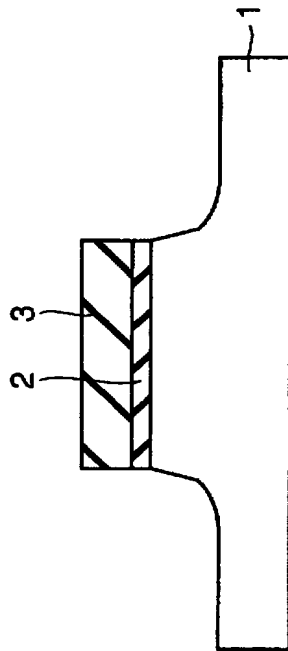
【図 12】



【図 1 3】

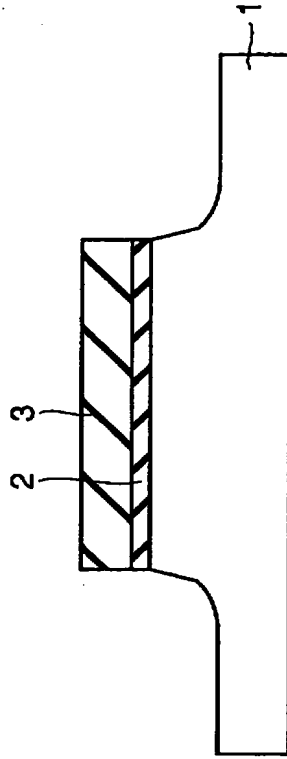
(a)

〈アクセスMOSトランジスタ部〉



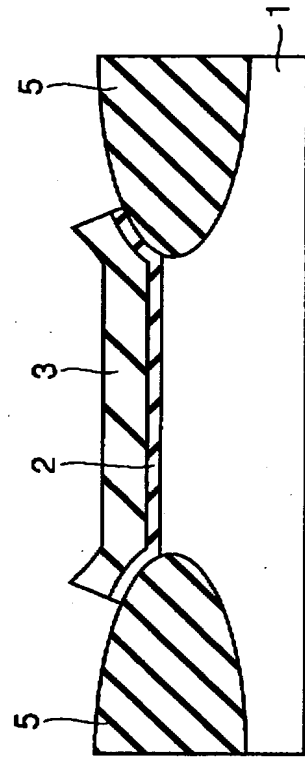
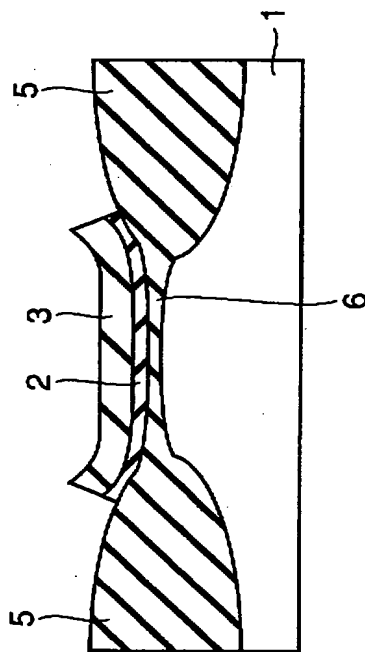
(b)

〈ドライバMOSトランジスタ部〉



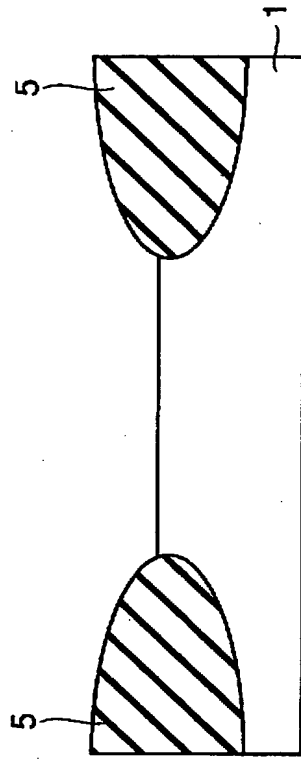
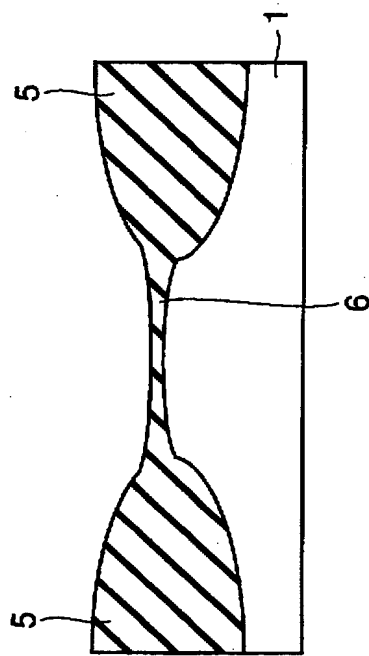
【図14】

(a) (b)
 〈アクセスMOSトランジスタ部〉 〈ドライバMOSトランジスタ部〉

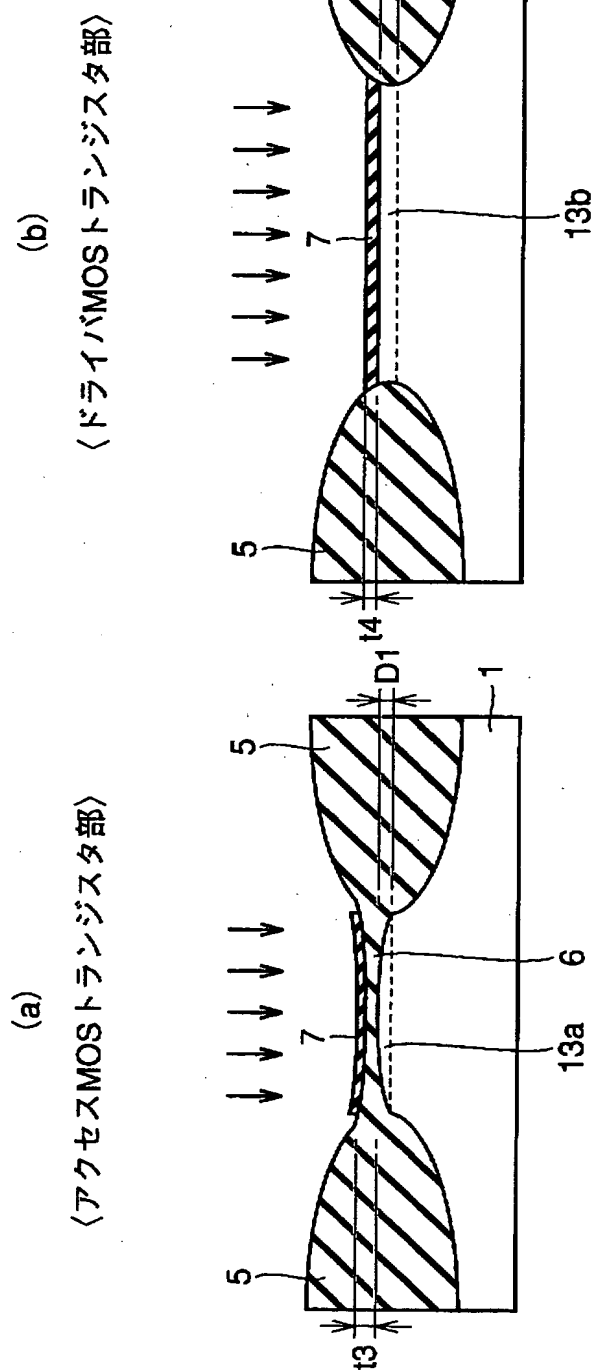


【図15】

(a) (b)
 〈アクセスMOSトランジスタ部〉 〈ドライバMOSトランジスタ部〉



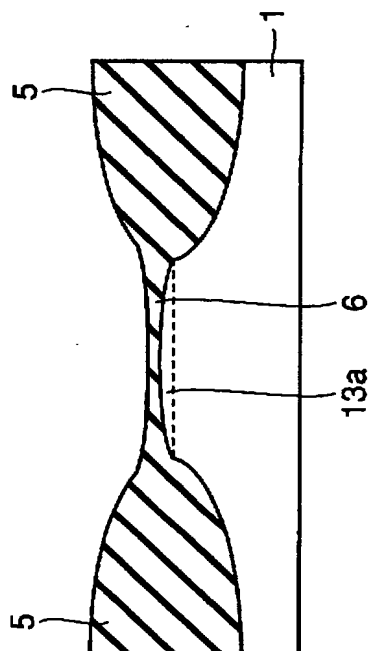
【図 16】



【図 17】

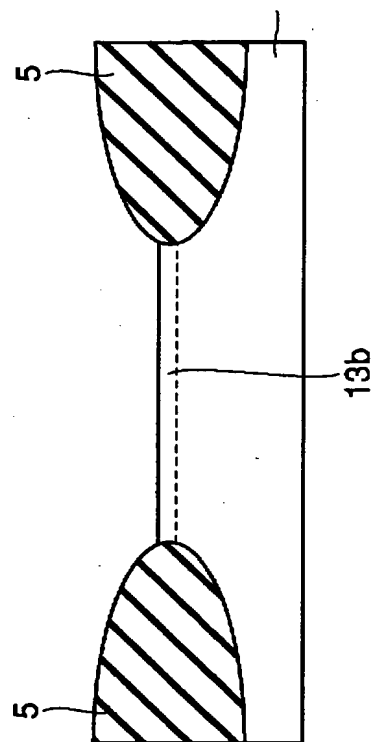
(a)

〈アクセスMOSトランジスタ部〉



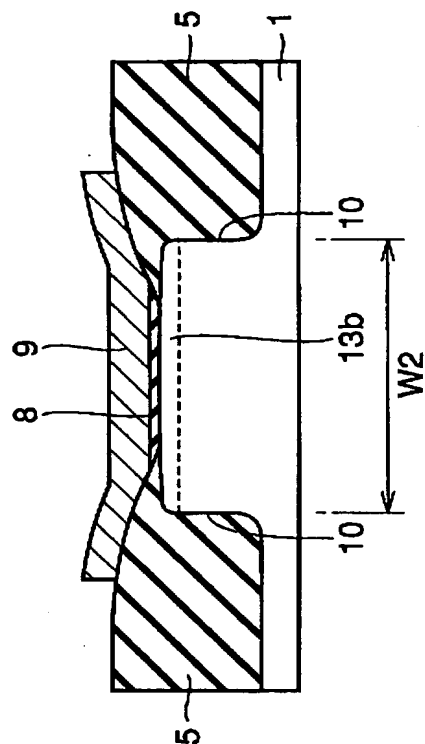
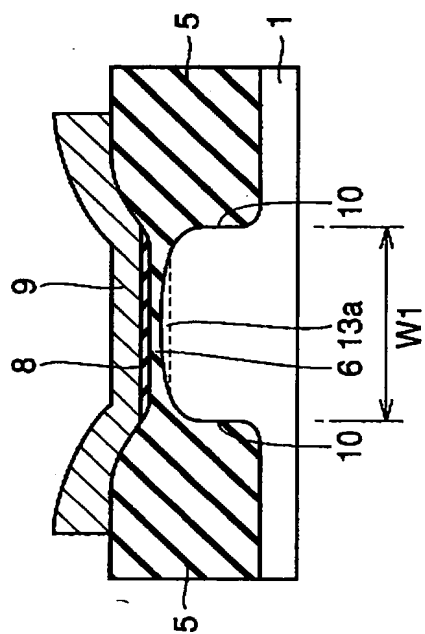
(b)

〈ドライバMOSトランジスタ部〉

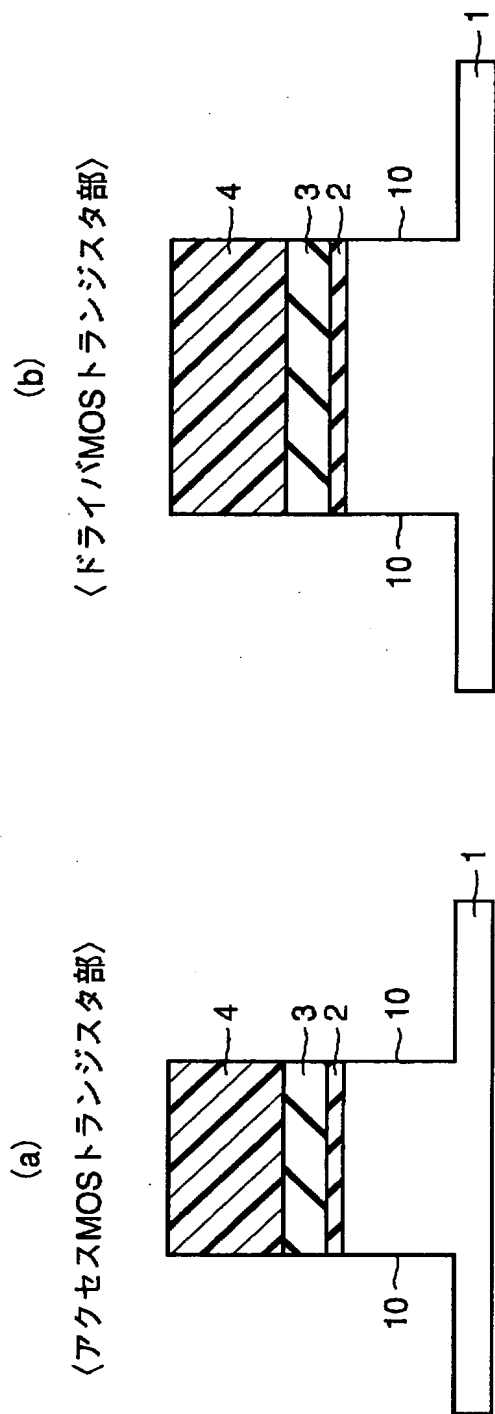


【図 18】

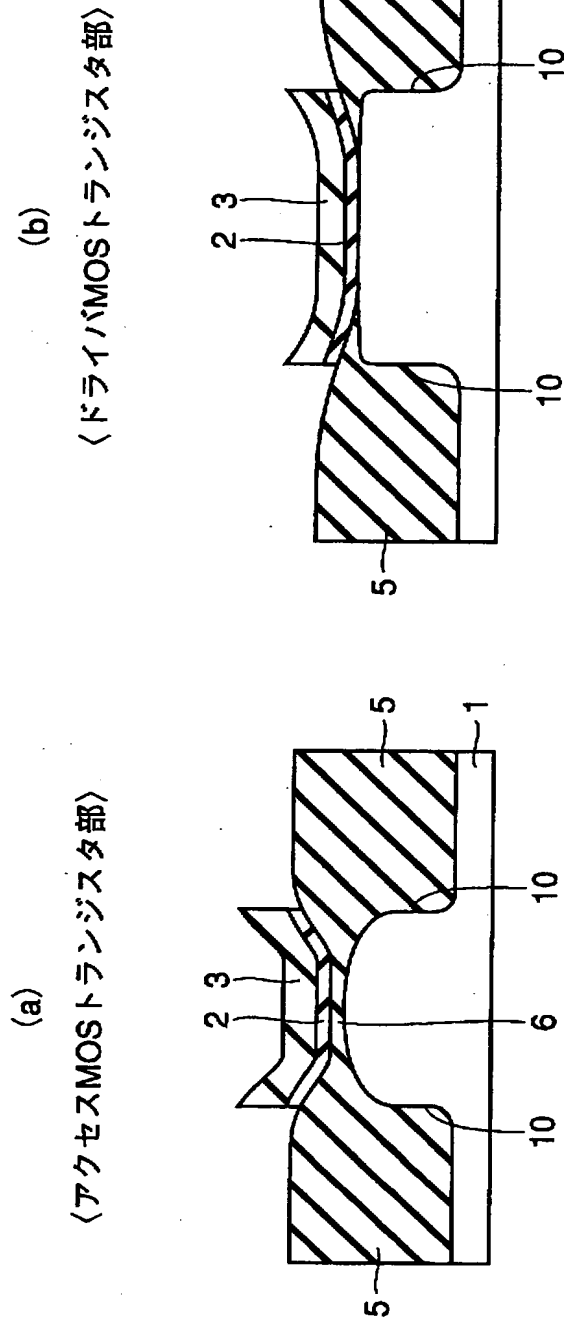
(a) <アクセスMOSトランジスタ部> (b) <ドライバMOSトランジスタ部>



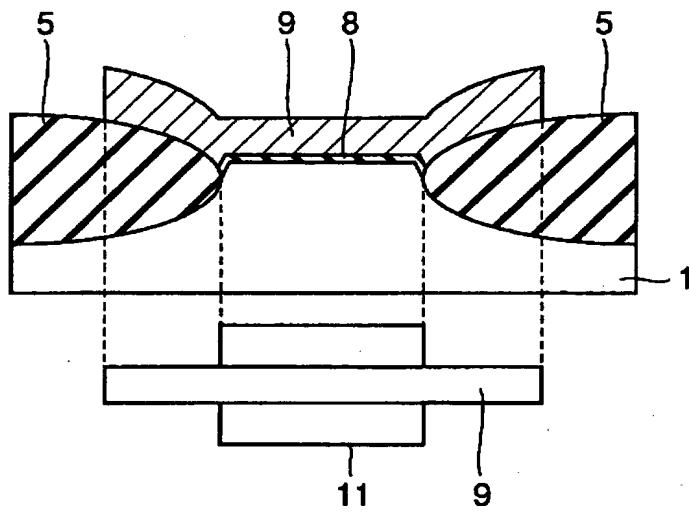
【図 1 9】



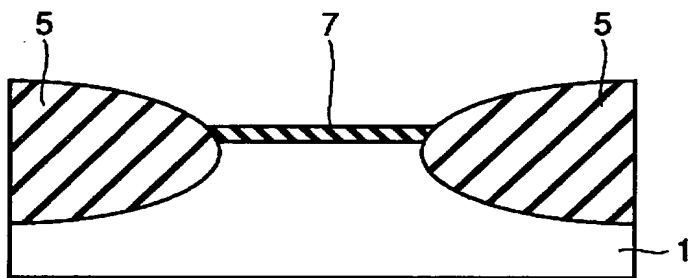
【図20】



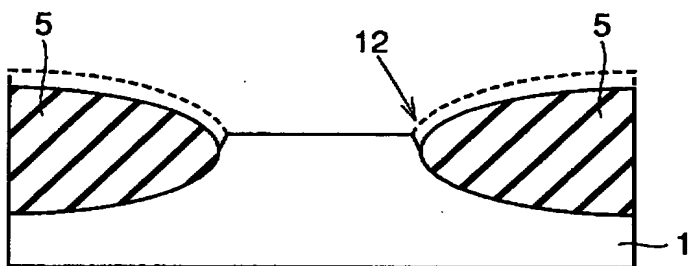
【図 2 1】



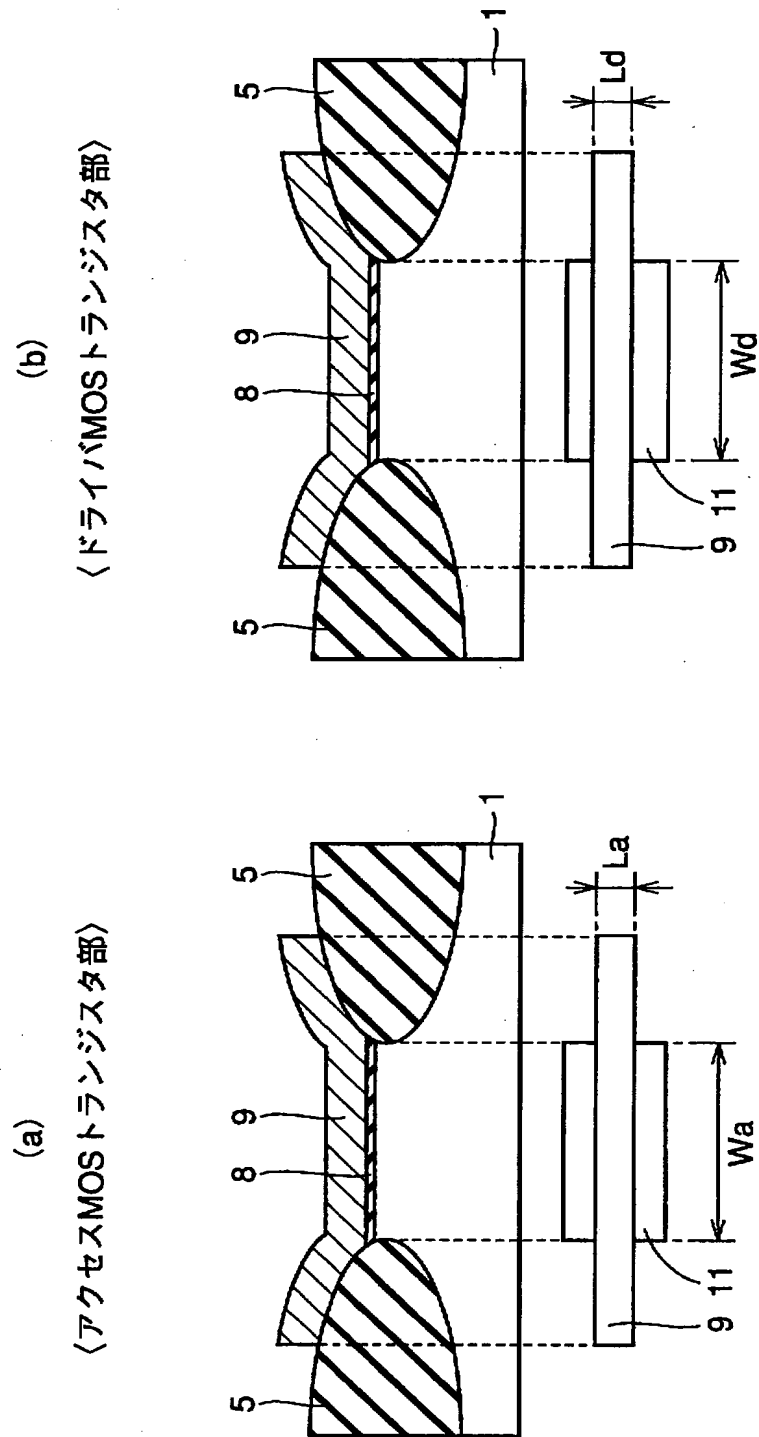
【図 2 2】



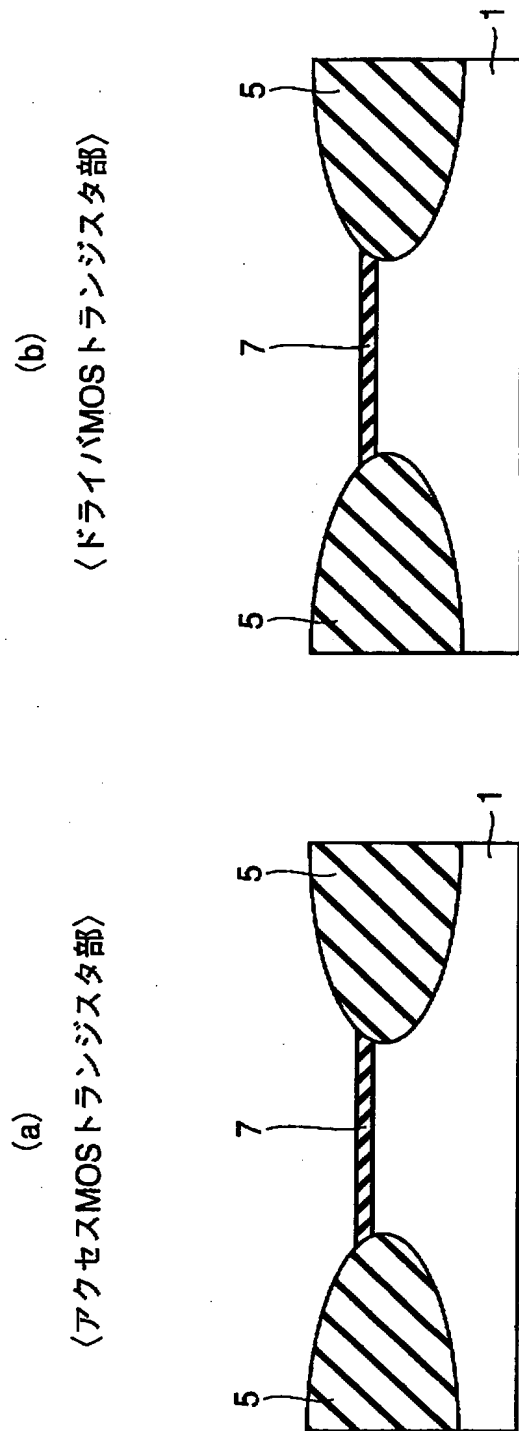
【図 2 3】



【図 24】



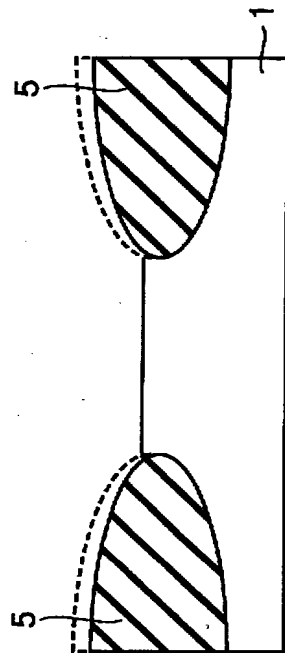
【図 2 5】



【図 26】

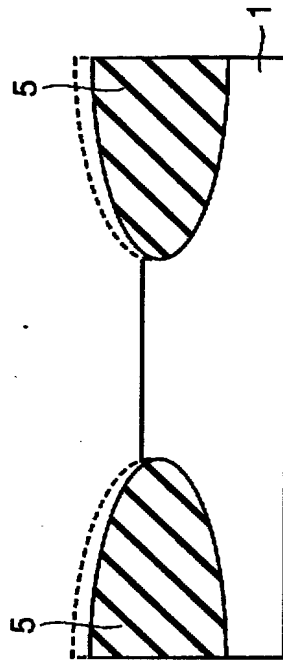
(a)

〈アクセスMOSトランジスタ部〉



(b)

〈ドライバMOSトランジスタ部〉



【書類名】 要約書

【要約】

【課題】 MOSトランジスタを有する半導体装置のリーク電流を低減する。

【解決手段】 本発明に係る半導体装置は、活性領域と分離領域とを有する半導体基板 1 と、活性領域上に酸化膜 8 を介して形成されたゲート電極 9 と、ゲート電極 9 の両側に形成された 1 組の不純物領域とを備え、活性領域表面が、全体にわたってラウンド形状を有し、分離領域に近づくにつれて下方に傾斜する。当該ラウンド形状は、分離酸化膜 5 の形成時にバースピーク部を活性領域上で接続することで形成できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社